



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020020055888

(43) Publication Date. 20020710

(21) Application No.1020000085141

(22) Application Date. 20001229

(51) IPC Code:

H01L 27/108

(71) Applicant:

HYNIX SEMICONDUCTOR INC.

(72) Inventor:

KIM, SI BEOM

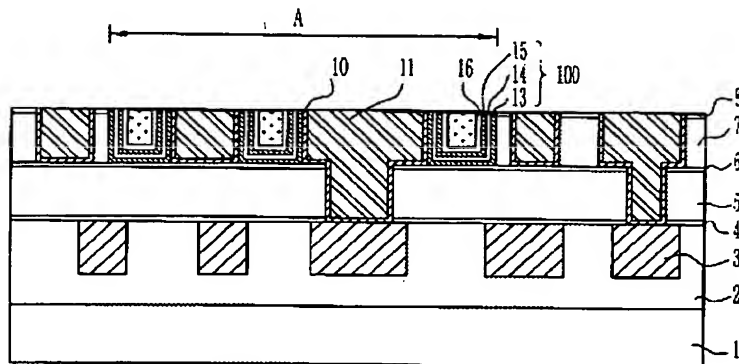
(30) Priority:

(54) Title of Invention

METHOD FOR FABRICATING METAL INTERCONNECTION AND CAPACITOR OF SEMICONDUCTOR DEVICE

Representative drawing

(57) Abstract:



PURPOSE: A method for fabricating a metal interconnection and a capacitor of a semiconductor device is provided to improve an electrical characteristic and reliability, by forming a metal-insulator-metal(MIM) capacitor of a three-dimensional structure having high capacitance without increasing a metal layer.

CONSTITUTION: A predetermined region of an interlayer dielectric(2) composed of the first insulation layer(5), an etch barrier layer(6), the second insulation layer(7) and a hard mask(8) is etched to form a dual damascene pattern composed of a trench or trench/via in a semiconductor substrate (1). The first metal diffusion barrier layer(4) is formed on the semiconductor substrate. A metal material is deposited on the semiconductor substrate. The metal material on the interlayer dielectric and the first metal diffusion barrier layer are removed to form the first metal interconnection(3) in the trench or dual damascene pattern by performing a

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl. ⁷	(11) 공개번호	특2002-0055888
H01L 27/108	(43) 공개일자	2002년 07월 10일

(21) 출원번호	10-2000-0085141
(22) 출원일자	2000년 12월 29일
(71) 출원인	주식회사 하이닉스반도체
(72) 발명자	경기 이천시 부발읍 아미리 산136-1 김시범
(74) 대리인	서울특별시광진구광장동현대아파트301동1005호 신영무, 최승민

심사청구 : 있음

(54) 반도체 소자의 금속 배선 및 커패시터 제조 방법

요약

본 발명은 반도체 소자의 금속 배선 및 커패시터 제조 방법에 관한 것으로, 높은 정전 용량을 가지는 MIM(Metal-insulator-metal) 커패시터를 제조하는 공정에 있어서, 듀얼 다마신 패터닝(Dual damascene patterning) 공정을 그대로 유지하면서 일반적인 다마신 패턴을 구리로 매립하는 구리 듀얼 다마신(Cu Dual Damascene) 배선 공정과 양립(Ccompatible)할 수 있는 MIM 커패시터 제조 방법을 이용하여 다마신 패턴에 3차원 구조의 고 유전율(High-k) MIM(Metal-Insulator-Metal) 커패시터를 제조함으로써 금속층의 추가없이 MIM 커패시터와 Cu 배선을 동일 층에 형성함과 동시에 커패시터의 정전 용량을 확보하여 소자의 전기적 특성을 향상시킬 수 있는 반도체 소자의 금속 배선 및 커패시터 제조 방법이 개시된다.

대표도

도 1g

색인어

구리, 구리 배선, MIM, MIM 커패시터, 전기 도금법

명세서

도면의 간단한 설명

도 1a 내지 도 1g는 본 발명에 따른 반도체 소자의 금속 배선 및 커패시터 제조 방법을 설명하기 위하여 순차적으로 도시한 소자의 단면도.

도 2는 도 1b의 공정에 의해 형성된 트렌치의 형태를 평면상태로 도시한 레이 아웃도.

<도면의 주요 부분에 대한 부호 설명>

- | | |
|--------------------|------------------------|
| 1, 21 : 반도체 기판 | 2, 22 : 층간 절연막 |
| 3, 23 : 제 1 금속 배선 | 4, 24 : 제 1 금속 확산 방지막 |
| 5, 25 : 제 1 절연막 | 6, 26 : 식각 방지막 |
| 7, 27 : 제 2 절연막 | 8, 28 : 하드 마스크 |
| 9a, 29a : 트렌치 | 9b, 29b : 비아 |
| 9, 29 : 듀얼 다마신 패턴 | 10, 30 : 제 2 금속 확산 방지막 |
| 11, 31 : 제 2 금속 배선 | 12, 32 : 감광막 패턴 |
| 13, 33 : 하부 전극 | 14, 34 : 유전체막 |
| 15, 35 : 상부 전극 | 16, 36 : 제 3 금속 확산 방지막 |

17, 37 : 제 3 금속 배선

100, 200 : MIM 커패시터

A : 커패시터 형성 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 금속 배선 및 커패시터 제조 방법에 관한 것으로, 특히 듀얼 다마신 패턴에 3차원 구조로 형성하여 정전 용량을 증가시킬 수 있는 반도체 소자의 금속 배선 및 커패시터 제조 방법에 관한 것이다.

일반적으로, 다양한 논리(Logic) 소자의 구성을 위하여 수동 소자(Passive component)인 커패시터가 소자 제조 공정 중에 제조된다. 이때, 제조되는 커패시터로는 MPU 소자에서의 디커플링(Decoupling) 커패시터, SOC(system on a chip) 소자와 RF(Radio frequency) 소자에서의 각 블록(Block)간의 임피던스 일치(Impedance matching)를 위한 커플링 및 바이패스(Coupling & bypass) 커패시터, AD(Analogue to Digital) 또는 DA(Digital to analogue) 컨버터(Converter)에서의 커패시터 어레이(Capacitor array) 등이 있다. 이러한 커패시터는 실리콘 정션(Silicon junction)을 이용한 정션 커패시터(Junction capacitor)로 제조되거나, 통상적인 알루미늄(Al) 배선 기술에서는 PECVD SiN막을 유전체막으로 하는 Al/SiN/Al의 MIM(Metal-insulator-metal) 커패시터로 제조된다.

그러나, 동작 주파수가 증가하고 컨버터의 비트(Bit) 증가에 함에 따라 점점 대용량의 커패시터가 필요하게 되며, 예를 들면 1 GHz에서 동작하는 CPU의 경우, 디커플링(Decoupling)을 위해서는 400 nF의 커패시터 용량이 필요하다. 이때, Toxeq가 1nm일 경우 얻어질 수 있는 커패시턴스(Capacitance)는 34.5nF/mm^2 이며, 결국 400nF의 커패시턴스를 얻기 위해서는 11.6mm^2 의 면적이 필요하게 된다. 현재 사용되는 PECVD SiN 1000 Å의 유전율을 7이라 하면, 대략적인 Toxeq는 56nm, 커패시턴스는 0.62nF/mm^2 이므로 400nF의 커패시턴스를 얻기 위해서는 면적이 645mm^2 정도되는 커패시터를 제조해야 한다. 이 정도 크기의 커패시터는 반도체 칩 제조에 실제로 적용하기 어렵다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명은 상기의 문제점을 해결하기 위하여 일반적인 다마신 패턴을 구리로 매립하는 구리 듀얼 다마신(Cu Dual Damascene) 배선 공정과 양립(Compatible)할 수 있는 MIM 커패시터 제조 방법을 이용하여 듀얼 다마신 패턴링(Dual damascene patterning) 공정을 그대로 유지하면서 다마신 패턴에 3차원 구조의 고 유전율(High-k) MIM(Metal-Insulator-Metal) 커패시터를 제조함으로써 금속층의 추가없이 MIM 커패시터와 Cu 배선을 동일 층에 형성함과 동시에 커패시터의 정전 용량을 확보하여 소자의 전기적 특성을 향상시킬 수 있는 반도체 소자의 금속 배선 및 커패시터 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

본 발명에 따른 반도체 소자의 금속 배선 및 커패시터 제조 방법의 제 1 실시예는 제 1 절연막, 식각 방지막, 제 2 절연막 및 하드 마스크로 이루어진 층간 절연막의 소정 영역을 식각하여 트렌치 또는 트렌치와 비아로 이루어진 듀얼 다마신 패턴이 형성된 반도체 기판이 제공되는 단계, 반도체 기판의 상부에 제 1 금속 확산 방지막을 형성하는 단계, 반도체 기판의 상부에 금속물질을 증착한 후 화학적 기계적 연마 공정으로 층간 절연막 상의 금속물질 및 제 1 금속 확산 방지막을 제거하여 트렌치 또는 듀얼 다마신 패턴에 제 1 금속 배선을 형성하는 단계, 커패시터가 형성될 영역이 노출되는 감광막 패턴을 형성하여 감광막 패턴이 형성되지 않아 노출된 영역의 하드 마스크 및 제 2 절연막을 제거한 후 감광막 패턴을 제거하는 단계, 제 1 금속 배선을 포함한 전체 상에 하부 전극, 유전체막, 상부 전극 및 제 2 금속 확산 방지막을 순차적으로 형성하는 단계, 전체 상에 금속 물질을 증착하여 제 2 절연막이 제거된 공간의 나머지 부분을 완전히 매립하는 단계 및 화학적 기계적 연마를 실시하여 제 2 절연막 상의 금속 물질, 제 2 금속 확산 방지막, 상부 전극, 유전체막 및 하부 전극을 제거하고 평탄화하여 제 2 금속 배선을 형성함과 동시에 커패시터를 형성하는 단계로 이루어진다.

식각 방지막 또는 상기 하드 마스크는 PECVD법으로 SiN 또는 SiC막을 100 내지 1000 Å 범위의 두께로 증착하여 형성하며, 제 1 절연막 또는 제 2 절연막은 SiO₂, FSG 또는 유전율이 3.0 이하인 저유전율 절연막을 사용하여 450℃ 이하의 온도에서 실시가 가능한 PECVD법, HDP-CVD법, APCVD법 또는 스프인 코팅 방식으로 형성한다.

트렌치 또는 듀얼 다마신 패턴은 구불구불한 서펜타인 형태로 형성하되, 트렌치 또는 듀얼 다마신 패턴의 전체 면적은 최종 공정에서 제조된 커패시터의 목표 커패시턴스를 고려하여 형성한다.

제 1 금속 확산 방지막 또는 제 2 금속 확산 방지막은 PVD법, CVD법 또는 ALD법으로 Ta, TaN, TiN, WN,

TaC, WC, TiSiN 또는 이들 중 적어도 어느 한층 이상을 적층 조합하여 증착해 형성한다. 이때, 제 1 금속 확산 방지막을 형성하기 전에 고진공의 증착 장비 내에서 아르곤 스퍼터를 이용한 세정이나 H₂ 또는 NH₃ 등의 수소를 포함한 플라즈마를 이용한 리액티브 세정을 실시할 수도 있다.

제 1 금속 배선 또는 제 2 금속 배선은 금속 물질로 구리를 사용하여, PVD법 또는 CVD법으로 Cu 시드층을 형성한 후 Cu 전기 도금법으로 트렌치 또는 듀얼 다마신 패턴을 매립하여 형성하거나, 전기 도금법을 이용한 Cu 증착으로 Cu 시드층을 형성한 후 무전해 또는 전기 도금법으로 트렌치 또는 듀얼 다마신 패턴을 매립하거나, 상기의 매립 방법을 혼합한 방법으로 트렌치 또는 듀얼 다마신 패턴을 매립하여 형성한다.

하드 마스크는 불소 함유 가스를 사용하여 플라즈마 건식 식각 공정으로 제거하고, 이후 제 2 절연막은 SiO₂, FSG, SiOC, SiOH, SiOCH 성분으로 형성된 경우에는 HF를 포함한 용액을 사용하여 제거하고, 폴리머 계층의 저유전을 절연막으로 형성된 경우에는 O₂ 플라즈마를 사용하여 제거한다.

하부 전극 또는 상부 전극은 CVD법, PVD법 또는 ALD법으로 Pt, Ru, Ir 또는 W를 증착하여 형성한다. 하부 전극을 형성하기 전에 접착 특성을 향상시키기 위하여 층간 절연막 상에 접착층으로 TiN, TiAlN 또는 TiSiN 등의 글루 레이어를 형성할 수도 있다.

유전체막은 CVD법, PVD법 또는 ALD법으로 Ta 산화막, Ba-Sr-Ti 산화물, Zr 산화물, Hf 산화물, Pb-Zn-Ti 산화물, Sr-Bi-Ta 산화물을 증착하여 형성한다.

이하, 첨부된 도면을 참조하여 본 발명의 제 1 실시예를 더욱 상세히 설명하기로 한다.

도 1a 내지 도 1g는 본 발명에 따른 반도체 소자의 금속 배선 및 커패시터 제조 방법의 제 1 실시예를 설명하기 위하여 순차적으로 도시한 소자의 단면도이다. 도 2는 도 1b의 공정에 의해 형성된 트렌치의 형태를 평면상태로 도시한 레이아웃도이다.

도 1a를 참조하면, 소정의 공정으로 반도체 소자를 형성하기 위한 여러 요소가 형성된 반도체 기판(1) 상에 층간 절연막(2)을 형성한 후 식각 공정으로 층간 절연막(2)의 소정 영역을 식각한 뒤 금속 물질을 매립하여 제 1 금속 배선(3)을 형성한다. 이때, 본 발명에서는 금속 물질로 구리를 사용하여 제 1 금속 배선(3)을 구리 배선으로 형성한다. 이후 전체 제 1 금속 배선(3)을 포함한 전체 상에 금속 확산 방지막(4), 제 1 절연막(5), 식각 방지막(6), 제 2 절연막(7) 및 하드 마스크(8)를 순차적으로 형성한다.

상기에서, 금속 확산 방지막(4), 식각 방지막(6) 또는 하드 마스크(8)는 PECVD법으로 SiN 또는 SiC막을 100 내지 1000 Å 범위의 두께로 증착하여 형성한다. 또한, 제 1 절연막(5) 및 제 2 절연막(7)은 통상의 SiO₂, FSG(Fluorine doped Silicate Glass) 또는 유전율이 3.0 이하인 저유전을 절연막을 사용하여 450℃ 이하의 온도에서 실시가 가능한 PECVD, HDP-CVD, APCVD, 스프인 코팅(Spin coating) 방식 등으로 형성한다. 일반적으로, 후속 공정에서 형성될 듀얼 다마신 패터닝(Dual damascene patterning) 방식이나, 절연막을 형성하기 위하여 증착되는 막의 종류에 따라 식각 방지막(6) 또는 하드 마스크(8)의 형성 공정은 생략할 수 있다.

도 1b 및 도 2를 참조하면, 패터닝된 하드 마스크(7)를 식각 마스크로 하는 식각 공정으로 제 2 산화막(7)의 소정 영역을 식각하여 트렌치(9a)를 형성한다. 트렌치(9a)를 형성하기 위한 식각 공정을 실시하는 과정에서 제 1 산화막(5)은 식각 방지막(6)에 의해 식각되지 않는다. 트렌치(9a)가 형성되면서 노출된 식각 방지막(6)의 소정 영역을 제거한 후 식각 공정으로 제 1 산화막(5)의 노출된 영역 및 하부의 제 1 금속 확산 방지막(4)을 식각하여 제 1 금속 배선(3)이 노출되는 비아(9b)를 형성한다. 이로써, 트렌치(9a)와 비아(9b)로 이루어진 듀얼 다마신 패턴(9)이 형성된다.

일반적으로, 듀얼 다마신 패턴(9) 형성 방법은 비아를 먼저 형성한 후 트렌치를 형성할 수도 있으며, 이중 하드 마스크(Dual top hardmask)를 이용한 방법 등 다양한 방법으로 형성할 수 있다.

이때, 형성된 트렌치(9a) 또는 듀얼 다마신 패턴(9)의 형태는, 평면도로 생각할 때, 도 2에 도시한 바와 같이, 구불구불한 서펜타인(Serpentine) 구조이다. 따라서, 전체 서펜타인 구조의 트렌치(9a)는 구불구불하면서 길게 연결되어 있는 상태이며, 비아(9b)를 통하여 제 1 금속 배선(3) 배선과 전기적으로 연결된다. 또한, 서펜타인 구조로 연결된 트렌치(9a)의 전체 면적은 요구되는 커패시턴스(Capacitance)를 고려하여 형성한다.

도 1c를 참조하면, 듀얼 다마신 패턴(9)을 포함한 전체 상부에 제 2 금속 확산 방지막(10) 및 제 2 금속 배선용 금속 물질을 증착한 후 화학적 기계적 연마를 실시하여 하드 마스크(8) 상의 제 2 금속 확산 방지막(10) 및 금속 물질을 제거하고 평탄화한다. 이로써, 듀얼 다마신 패턴(9) 내부에만 금속 물질이 매립되어 제 2 금속 배선(11)이 형성된다. 본 발명에서는 금속 물질로 구리(Cu)를 사용한다.

제 2 금속 확산 방지막(10)은 구리의 아웃디퓨전(Outdiffusion)에 의하여 커패시터의 전기적 특성이 열화됨으로 인해 CMOS 소자의 특성이 열화되거나, 절연막(Dielectric)의 절연특성이 열화되는 것을 방지하기 위하여 증착한다. 제 2 금속 확산 방지막(10)은 고진공의 증착 장비 내에서 아르곤 스퍼터(Ar sputter)를 이용한 세정(Clean)이나 H₂ 또는 NH₃ 등의 수소를 포함한 플라즈마를 이용한 리액티브 세정(Reactive cleaning)을 실시한 후 PVD법, CVD법 또는 ALD(Atomic Layer Deposition)법으로 Ta, TaN, TiN, WN, TaC, WC, TiSiN 또는 이들 중 적어도 어느 한층 이상을 적층 조합하여 증착한다.

제 2 금속 배선(11)을 형성하기 위한 듀얼 다마신 패턴(9) 내부로의 구리 매립은 PVD법 또는 CVD법으로 Cu 시드층(도시하지 않음)을 형성한 후 Cu 전기 도금법(Electroplating)으로 실시하거나, 전기 도금법을 이용한 Cu 증착으로 Cu 시드층을 형성한 후 무전해 또는 전기 도금법으로 실시한다. 또는, 상기의 방법을 적절하게 조합한 증착 방법으로 Cu를 매립한다.

도 1d를 참조하면, 후속 공정에서 MIM 커패시터가 형성될 영역이 개방(Open)되도록 소정의 마스크를 사용하여 포토(Photo) 공정을 실시하여 감광막 패턴(12)을 형성한다. 이때, 감광막 패턴(12)은 도 2에 도시된 구불구불한 서펜타인(Serpentine) 구조의 트랜치(9a)를 노출시킨다.

도 1e를 참조하면, 감광막 패턴(12)을 형성하여 커패시터가 형성될 영역(A)만을 노출시킨 후 커패시터가 형성될 영역(A)의 하드 마스크(8) 및 제 2 절연막(7)을 식각 공정으로 제거한다. 하드 마스크(8) 및 제 2 절연막(7)이 제거되면 감광막 패턴(12)도 제거한다.

하드 마스크(8) 및 제 2 절연막(7)의 식각 공정에서, 하드 마스크(8)는 불소(Fluorine) 함유 가스를 사용하여 플라즈마 건식 식각(Plasma dry etching) 공정으로 제거하고, 이후 하드 마스크(8)가 제거됨으로 인해 노출된 영역의 제 2 절연막(7)을 제거한다. 이때, 제 2 절연막(7)이 SiO_2 , FSG, SiOC , SiOH , SiOCH 성분으로 이루어진 경우에는 HF를 포함한 용액을 사용하여 제거하고, 폴리머(Polymer) 계통의 저유전을 절연막으로 형성된 경우에는 O_2 플라즈마를 사용하여 제거한다. 제 2 절연막(7) 하부에 형성된 제 1 절연막(5)은 식각 방지막(6)에 의해 식각되거나 손상되지 않는다.

도 1f를 참조하면, 커패시터 형성 예정 영역(A)에 노출된 제 2 금속 배선을 포함한 전체 상에 하부 전극(13), 유전체막(14), 상부 전극(15) 및 제 3 금속 확산 방지막(16)을 순차적으로 형성한다.

하부 전극(13) 및 상부 전극(15)은 CVD법, PVD법 또는 ALD법으로 Pt, Ru, Ir 또는 W를 증착하여 형성한다. 이때, 하부 전극(13)과 하부 요소의 접착 특성(Adhesion)이 열악한 경우에는 TiN, TiAlN 또는 TiSiN 등의 글루 레이어(Glue layer)를 형성한 후 하부 전극(13)을 증착한다. 유전체막(14)은 CVD법, PVD법 또는 ALD법으로 Ta 산화막, Ba-Sr-Ti 산화물, Zr 산화물, Hf 산화물, Pb-Zn-Ti 산화물, Sr-Bi-Ta 산화물을 증착하여 형성한다. 제 3 금속 확산 방지막(16)은 후속 공정에서 형성될 금속 배선의 Cu 성분이 아웃 디퓨전(Outdiffusion)에 의하여 하부 커패시터의 전기적 특성이 열화되는 것을 방지하기 위하여 형성한다. 제 3 금속 확산 방지막(16)은 도 1c에서 형성한 제 2 금속 확산 방지막(10)의 형성 방법과 동일한 방법을 형성한다.

도 1g를 참조하면, 커패시터 형성 예정 영역(A)에서 제 2 절연막(7)이 식각된 부분의 나머지 공간을 충분히 매립할 수 있을 정도의 두께로 금속 물질을 전체 상부에 증착한 후 화학적 기계적 연마를 실시하여 하드 마스크(8) 상의 모든 층을 제거하고, 평탄화하여 제 3 금속 배선(17)을 형성한다. 이때, 금속 물질은 도 1c에서 실시한 제 2 금속 배선용 금속 물질 증착 방법과 동일한 방법으로 증착한다.

이로써, 트랜치(9a) 또는 듀얼 다마신 패턴(9)을 이용하여 3차원 구조로 이루어진 MIM 커패시터(100)가 제조된다.

이후, 도면에서 도시하지 않았지만, 제 3 금속 배선(17) 상에 추가로 금속 배선 형성이 필요한 경우에 다시 금속 확산 방지막 증착후 각각의 절연막을 형성시키고, 상기에서 서술한 금속 배선 형성 공정과 동일한 방법으로 공정을 진행하여 금속 배선을 추가로 형성한다. 후속 공정에서 금속 배선 공정으로 MIM 커패시터 부위의 상부 전극을 전기적으로 연결시킴으로써 전체적인 MIM capacitor가 형성되게 된다.

본 발명에 따른 반도체 소자의 금속 배선 및 커패시터 제조 방법의 제 2 실시예는 제 1 절연막, 식각 방지막, 제 2 절연막 및 하드 마스크로 이루어진 층간 절연막의 소정 영역을 식각하여 트랜치 또는 트랜치와 비아로 이루어진 듀얼 다마신 패턴이 형성된 반도체 기판이 제공되는 단계, 반도체 기판의 상부에 제 1 금속 확산 방지막을 형성하는 단계, 반도체 기판의 상부에 금속물질을 증착한 후 화학적 기계적 연마 공정으로 상기 층간 절연막 상의 상기 금속물질 및 제 1 금속 확산 방지막을 제거하여 트랜치 또는 듀얼 다마신 패턴에 제 1 금속 배선을 형성하는 단계, 커패시터가 형성될 영역이 노출되는 감광막 패턴을 형성하여 감광막 패턴이 형성되지 않아 노출된 영역의 하드 마스크, 제 2 절연막 및 제 1 금속 배선을 제거한 후 감광막 패턴을 제거하는 단계, 제 1 금속 확산 방지막을 포함한 전체 상에 하부 전극, 유전체막, 상부 전극 및 제 2 금속 확산 방지막을 순차적으로 형성하는 단계, 전체 상에 금속 물질을 증착하여 제 2 절연막이 제거된 공간의 나머지 부분을 완전히 매립하는 단계 및 화학적 기계적 연마를 실시하여 제 2 절연막 상의 금속 물질, 제 2 금속 확산 방지막, 상부 전극, 유전체막 및 하부 전극을 제거하고 평탄화하여 제 2 금속 배선을 형성함과 동시에 커패시터를 형성하는 단계로 이루어진다.

식각 방지막 또는 상기 하드 마스크는 PECVD법으로 SiN 또는 SiC막을 100 내지 1000 Å 범위의 두께로 증착하여 형성하며, 제 1 절연막 또는 제 2 절연막은 SiO_2 , FSG 또는 유전율이 3.0 이하인 저유전을 절연막을 사용하여 450°C 이하의 온도에서 실시가 가능한 PECVD법, HDP-CVD법, APCVD법 또는 스프인 코팅 방식으로 형성한다.

트랜치 또는 듀얼 다마신 패턴은 구불구불한 서펜타인 형태로 형성하되, 트랜치 또는 듀얼 다마신 패턴의 전체 면적은 최종 공정에서 제조된 커패시터의 목표 커패시턴스를 고려하여 형성한다.

제 1 금속 확산 방지막 또는 제 2 금속 확산 방지막은 PVD법, CVD법 또는 ALD법으로 Ta, TaN, TiN, WN, TaC, WC, TiSiN 또는 이들 중 적어도 어느 한층 이상을 적층 조합하여 증착해 형성한다. 이때, 제 1 금속 확산 방지막을 형성하기 전에 고진공의 증착 장비 내에서 아르곤 스퍼터를 이용한 세정이나 H_2 또는 NH_3 등의 수소를 포함한 플라즈마를 이용한 리액티브 세정을 실시할 수도 있다.

제 1 금속 배선 또는 제 2 금속 배선은 금속 물질로 구리를 사용하여, PVD법 또는 CVD법으로 Cu 시드층을 형성한 후 Cu 전기 도금법으로 트랜치 또는 듀얼 다마신 패턴을 매립하여 형성하거나, 전기 도금법을 이용한 Cu 증착으로 Cu 시드층을 형성한 후 무전해 또는 전기 도금법으로 트랜치 또는 듀얼 다마신 패턴을 매립하거나, 상기의 매립 방법을 혼합한 방법으로 트랜치 또는 듀얼 다마신 패턴을 매립하여 형성한다.

하드 마스크는 불소 함유 가스를 사용하여 플라즈마 건식 식각 공정으로 제거하고, 이후 제 2 절연막은

SiO₂, FSG, SiOC, SiOH, SiOCH 성분으로 형성된 경우에는 HF를 포함한 용액을 사용하여 제거하고, 폴리머 계층의 저유전을 절연막으로 형성된 경우에는 O₂ 플라즈마를 사용하여 제거한다. 또한, 제 1 금속 배선 또는 금속 물질은 식각제로는 HCl 또는 H₂SO₄ 등의 산 용액을 사용하여 제거한다.

하부 전극 또는 상부 전극은 CVD법, PVD법 또는 ALD법으로 Pt, Ru, Ir 또는 W를 증착하여 형성한다. 하부 전극을 형성하기 전에 접착 특성을 향상시키기 위하여 층간 절연막 상에 접착층으로 TiN, TiAlN 또는 TiSiN 등의 글루 레이어를 형성할 수도 있다.

유전체막은 CVD법, PVD법 또는 ALD법으로 Ta 산화막, Ba-Sr-Ti 산화물, Zr 산화물, Hf 산화물, Pb-Zn-Ti 산화물, Sr-Bi-Ta 산화물을 증착하여 형성한다.

이하, 첨부된 도면을 참조하여 본 발명의 제 2 실시예를 더욱 상세히 설명하기로 한다.

도 3a 내지 도 d는 본 발명에 따른 반도체 소자의 금속 배선 및 커패시터 제조 방법의 제 1 실시예를 설명하기 위하여 순차적으로 도시한 소자의 단면도이다. 도 2는 도 1b의 공정에 의해 형성된 트렌치의 형태를 평면상태로 도시한 레이아웃도이다.

도 3a를 참조하면, 반도체 소자의 금속 배선 및 커패시터 제조 방법의 제 1 실시예에서 도 1a 내지 도 1d까지의 공정을 동일하게 실시하여 감광막 패턴(32)까지 형성한다.

도 3b를 참조하면, 감광막 패턴(32)을 형성하여 커패시터가 형성될 영역(A)만을 노출시킨 후 커패시터가 형성될 영역(A)의 하드 마스크(28), 제 2 절연막(27) 및 제 2 금속 배선(31)을 식각 공정으로 제거한다. 하드 마스크(28), 제 2 절연막(27) 및 제 2 금속 배선(31)이 제거되면 감광막 패턴(32)도 제거한다.

하드 마스크(28) 및 제 2 절연막(27)의 식각 공정에서, 하드 마스크(28)는 불소(Fluorine) 함유 가스를 사용하여 플라즈마 건식 식각(Plasma dry etching) 공정으로 제거하고, 이후 하드 마스크(28)가 제거됨으로 인해 노출된 영역의 제 2 절연막(27)을 제거한다. 이때, 제 2 절연막(27)이 SiO₂, FSG, SiOC, SiOH, SiOCH 성분으로 이루어진 경우에는 HF를 포함한 용액을 사용하여 제거하고, 폴리머(Polymer) 계층의 저유전을 절연막으로 형성된 경우에는 O₂ 플라즈마를 사용하여 제거한다. 제 2 절연막(27) 하부에 형성된 제 1 절연막(25)은 식각 방지막(26)에 의해 식각되거나 손상되지 않는다. 이후 HCl 또는 H₂SO₄ 등의 산 용액을 식각제로는 사용하여 제 2 금속 배선(31)을 식각해 제거한다.

도 3c를 참조하면, 커패시터 형성 예정 영역(A)에 노출된 제 2 금속 확산 방지막(30)을 포함한 전체 상에 하부 전극(33), 유전체막(34), 상부 전극(35) 및 제 3 금속 확산 방지막(36)을 순차적으로 형성한다.

하부 전극(33) 및 상부 전극(35)은 CVD법, PVD법 또는 ALD법으로 Pt, Ru, Ir 또는 W를 증착하여 형성한다. 이때, 하부 전극(33)과 하부 요소의 접착 특성(Adhesion)이 열악한 경우에는 TiN, TiAlN 또는 TiSiN 등의 글루 레이어(Glue layer)를 형성한 후 하부 전극(33)을 증착한다. 유전체막(34)은 CVD법, PVD법 또는 ALD법으로 Ta 산화막, Ba-Sr-Ti 산화물, Zr 산화물, Hf 산화물, Pb-Zn-Ti 산화물, Sr-Bi-Ta 산화물을 증착하여 형성한다. 제 3 금속 확산 방지막(36)은 후속 공정에서 형성될 금속 배선의 Cu 성분이 아웃 디퓨전(Outdiffusion)에 의하여 하부 커패시터의 전기적 특성이 열화되는 것을 방지하기 위하여 형성한다. 제 3 금속 확산 방지막(36)은 도 1c에서 형성한 제 2 금속 확산 방지막(10)의 형성 방법과 동일한 방법을 형성한다.

도 3d를 참조하면, 커패시터 형성 예정 영역(A)에서 제 2 절연막(27) 및 제 2 금속 배선(31)이 식각된 부분의 나머지 공간을 충분히 매립할 수 있을 정도의 두께로 금속 물질을 전체 상부에 증착한 후 화학적 기계적 연마를 실시하여 하드 마스크(28) 상의 모든 층을 제거하고, 평탄화하여 제 3 금속 배선(37)을 형성한다. 이때, 금속 물질은 도 1c에서 실시한 제 2 금속 배선용 금속 물질 증착 방법과 동일한 방법으로 증착한다.

이로써, 트렌치(29a) 또는 듀얼 다마신 패턴(29)을 이용하여 3차원 구조로 이루어진 MIM 커패시터(200)가 제조된다.

이후, 도면에서 도시하지 않았지만, 제 3 금속 배선(37) 상에 추가로 금속 배선 형성이 필요한 경우에 다시 금속 확산 방지막 증착후 각각의 절연막을 형성시키고, 상기에서 서술한 금속 배선 형성 공정과 동일한 방법으로 공정을 진행하여 금속 배선을 추가로 형성한다. 후속 공정에서 금속 배선 공정으로 MIM 커패시터 부위의 상부 전극을 전기적으로 연결시킴으로써 전체적인 MIM capacitor가 형성되게 된다.

상기의 공정으로, 동한 층(Layer)에 MIM 커패시터와 금속 배선을 형성할 수 있으며, 상부 표면이 평탄화되어 있어 후속 공정을 용이하게 실시할 수 있다. 또한, 듀얼 다마신 구조의 3차원 구조에 커패시터를 형성함으로써 커패시턴스를 향상시킬 수 있다.

발명의 효과

상술한 바와 같이, 본 발명은 통상의 공정으로 듀얼 다마신 패턴을 형성한 후 듀얼 다마신 패턴에 3차원 구조의 MIM 커패시터를 제조함으로써 기존의 배선 형성 공정에 이식이 가능하고 금속층의 증가없이 용이하게 높은 커패시턴스를 갖는 MIM 커패시터를 제조할 수 있어 소자의 전기적 특성 및 신뢰성을 향상시키는 효과가 있다.

(57) 청구의 범위

청구항 1

제 1 절연막, 식각 방지막, 제 2 절연막 및 하드 마스크로 이루어진 층간 절연막의 소정 영역을 식각하여 트렌치 또는 트렌치와 비아로 이루어진 듀얼 다마신 패턴이 형성된 반도체 기판이 제공되는 단계;

상기 반도체 기판의 상부에 제 1 금속 확산 방지막을 형성하는 단계;

상기 반도체 기판의 상부에 금속물질을 증착한 후 화학적 기계적 연마 공정으로 상기 층간 절연막 상의 상기 금속물질 및 상기 제 1 금속 확산 방지막을 제거하여 상기 트렌치 또는 상기 듀얼 다마신 패턴에 제 1 금속 배선을 형성하는 단계;

커패시터가 형성될 영역이 노출되는 감광막 패턴을 형성하여 상기 감광막 패턴이 형성되지 않아 노출된 영역의 상기 하드 마스크 및 상기 제 2 절연막을 제거한 후 상기 감광막 패턴을 제거하는 단계;

상기 제 1 금속 배선을 포함한 전체 상에 하부 전극, 유전체막, 상부 전극 및 제 2 금속 확산 방지막을 순차적으로 형성하는 단계;

전체 상에 금속 물질을 증착하여 상기 제 2 절연막이 제거된 공간의 나머지 부분을 완전히 매립하는 단계 및

화학적 기계적 연마를 실시하여 상기 제 2 절연막 상의 상기 금속 물질, 상기 제 2 금속 확산 방지막, 상기 상부 전극, 상기 유전체막 및 상기 하부 전극을 제거하고 평탄화하여 제 2 금속 배선을 형성함과 동시에 커패시터를 형성하는 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 금속 배선 및 커패시터 제조 방법.

청구항 2

제 1 항에 있어서,

상기 식각 방지막 또는 상기 하드 마스크는 PECVD법으로 SiN 또는 SiC막을 100 내지 1000 Å 범위의 두께로 증착하여 형성하는 것을 특징으로 하는 반도체 소자의 금속 배선 및 커패시터 제조 방법.

청구항 3

제 1 항에 있어서,

상기 제 1 절연막 또는 상기 제 2 절연막은 SiO₂, FSG 또는 유전율이 3.0 이하인 저유전율 절연막을 사용하여 450°C 이하의 온도에서 실시가 가능한 PECVD법, HDP-CVD법, APCVD법 또는 스프인 코팅 방식 등으로 형성하는 것을 특징으로 하는 반도체 소자의 금속 배선 및 커패시터 제조 방법.

청구항 4

제 1 항에 있어서,

상기 트렌치 또는 듀얼 다마신 패턴은 구불구불한 서펜타인 형태로 형성하되, 상기 트렌치 또는 듀얼 다마신 패턴의 전체 면적은 최종 공정에서 제조된 커패시터의 목표 커패시턴스를 고려하여 형성하는 것을 특징으로 하는 반도체 소자의 금속 배선 및 커패시터 제조 방법.

청구항 5

제 1 항에 있어서,

상기 제 1 금속 확산 방지막 또는 상기 제 2 금속 확산 방지막은 PVD법, CVD법 또는 ALD법으로 Ta, TaN, TiN, WN, TaC, WC, TiSiN 또는 이들 중 적어도 어느 한층 이상을 적층 조합하여 증착해 형성하는 것을 특징으로 하는 반도체 소자의 금속 배선 및 커패시터 제조 방법.

청구항 6

제 1 항에 있어서,

상기 제 1 금속 확산 방지막을 형성하기 전에 고진공의 증착 장비 내에서 아르곤 스퍼터를 이용한 세정이나 H₂ 또는 NH₃ 등의 수소를 포함한 플라즈마를 이용한 리액티브 세정을 실시하는 단계를 포함하여 이루어지는 것을 특징하는 반도체 소자의 금속 배선 및 커패시터 제조 방법.

청구항 7

제 1 항에 있어서,

상기 제 1 금속 배선 또는 상기 제 2 금속 배선은 금속 물질로 구리를 사용하여, PVD법 또는 CVD법으로 Cu 시드층을 형성한 후 Cu 전기 도금법으로 상기 트렌치 또는 상기 듀얼 다마신 패턴을 매립하여 형성하거나, 전기 도금법을 이용한 Cu 증착으로 Cu 시드층을 형성한 후 무전해 또는 전기 도금법으로 상기 트렌치 또는 상기 듀얼 다마신 패턴을 매립하거나, 상기의 매립 방법을 혼합한 방법으로 상기 트렌치 또는 상기 듀얼 다마신 패턴을 매립하여 형성하는 것을 특징으로 하는 반도체 소자의 금속 배선 및 커패시터 제조 방법.

청구항 8

제 1 항에 있어서,

상기 하드 마스크는 불소 함유 가스를 사용하여 플라즈마 건식 식각 공정으로 제거하는 것을 특징으로 하는 반도체 소자의 금속 배선 및 커패시터 제조 방법.

청구항 9

제 1 항에 있어서,

상기 제 2 절연막은 SiO_2 , FSG, SiOC , SiOH , SiOCH 성분으로 형성된 경우에는 HF를 포함한 용액을 사용하여 제거하고, 폴리머 계통의 저유전율 절연막으로 형성된 경우에는 O_2 플라즈마를 사용하여 제거하는 것을 특징으로 하는 반도체 소자의 금속 배선 및 커패시터 제조 방법.

청구항 10

제 1 항에 있어서,

상기 하부 전극 또는 상기 상부 전극은 CVD법, PVD법 또는 ALD법으로 Pt, Ru, Ir 또는 W를 증착하여 형성하는 것을 특징으로 하는 반도체 소자의 금속 배선 및 커패시터 제조 방법.

청구항 11

제 1 항에 있어서,

상기 하부 전극을 형성하기 전에 상기 층간 절연막 상에 접착층으로 TiN, TiAlN 또는 TiSiN 등의 글루레이어를 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 금속 배선 및 커패시터 제조 방법.

청구항 12

제 1 항에 있어서,

상기 유전체막은 CVD법, PVD법 또는 ALD법으로 Ta 산화막, Ba-Sr-Ti 산화물, Zr 산화물, Hf 산화물, Pb-Zn-Ti 산화물, Sr-Bi-Ta 산화물을 증착하여 형성하는 것을 특징으로 하는 반도체 소자의 금속 배선 및 커패시터 제조 방법.

청구항 13

제 1 절연막, 식각 방지막, 제 2 절연막 및 하드 마스크로 이루어진 층간 절연막의 소정 영역을 식각하여 트렌치 또는 트렌치와 비아로 이루어진 듀얼 다마신 패턴이 형성된 반도체 기판이 제공되는 단계;

상기 반도체 기판의 상부에 제 1 금속 확산 방지막을 형성하는 단계;

상기 반도체 기판의 상부에 금속물질을 증착한 후 화학적 기계적 연마 공정으로 상기 층간 절연막 상의 상기 금속물질 및 상기 제 1 금속 확산 방지막을 제거하여 상기 트렌치 또는 상기 듀얼 다마신 패턴에 제 1 금속 배선을 형성하는 단계;

커패시터가 형성될 영역이 노출되는 감광막 패턴을 형성하여 상기 감광막 패턴이 형성되지 않아 노출된 영역의 상기 하드 마스크, 상기 제 2 절연막 및 상기 제 1 금속 배선을 제거한 후 상기 감광막 패턴을 제거하는 단계;

상기 제 1 금속 확산 방지막을 포함한 전체 상에 하부 전극, 유전체막, 상부 전극 및 제 2 금속 확산 방지막을 순차적으로 형성하는 단계;

전체 상에 금속 물질을 증착하여 상기 제 2 절연막이 제거된 공간의 나머지 부분을 완전히 매립하는 단계 및

화학적 기계적 연마를 실시하여 상기 제 2 절연막 상의 상기 금속 물질, 상기 제 2 금속 확산 방지막, 상기 상부 전극, 상기 유전체막 및 상기 하부 전극을 제거하고 평탄화하여 제 2 금속 배선을 형성함과 동시에 커패시터를 형성하는 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 금속 배선 및 커패시터 제조 방법.

터 제조 방법.

청구항 14

제 13 항에 있어서,

상기 식각 방지막 또는 상기 하드 마스크는 PECVD법으로 SiN 또는 SiC막을 100 내지 1000 Å 범위의 두께로 증착하여 형성하는 것을 특징으로 하는 반도체 소자의 금속 배선 및 커패시터 제조 방법.

청구항 15

제 13 항에 있어서,

상기 제 1 절연막 또는 상기 제 2 절연막은 SiO₂, FSG 또는 유전율이 3.0 이하인 저유전율 절연막을 사용하여 450℃이하의 온도에서 실시가 가능한 PECVD법, HDP-CVD법, APCVD법 또는 스핀 코팅 방식 등으로 형성하는 것을 특징으로 하는 반도체 소자의 금속 배선 및 커패시터 제조 방법.

청구항 16

제 13 항에 있어서,

상기 트랜치 또는 듀얼 다마신 패턴은 구불구불한 서펜타인 형태로 형성하되, 상기 트랜치 또는 듀얼 다마신 패턴의 전체 면적은 최종 공정에서 제조된 커패시터의 목표 커패시턴스를 고려하여 형성하는 것을 특징으로 하는 반도체 소자의 금속 배선 및 커패시터 제조 방법.

청구항 17

제 13 항에 있어서,

상기 제 1 금속 확산 방지막 또는 상기 제 2 금속 확산 방지막은 PVD법, CVD법 또는 ALD법으로 Ta, TaN, TiN, WN, TaC, WC, TiSiN 또는 이들 중 적어도 어느 한층 이상을 적층 조합하여 증착해 형성하는 것을 특징으로 하는 반도체 소자의 금속 배선 및 커패시터 제조 방법.

청구항 18

제 13 항에 있어서,

상기 제 1 금속 확산 방지막을 형성하기 전에 고진공의 증착 장비 내에서 아르곤 스퍼터를 이용한 세정이나 H₂ 또는 NH₃ 등의 수소를 포함한 플라즈마를 이용한 리액티브 세정을 실시하는 단계를 포함하여 이루어지는 것을 특징하는 반도체 소자의 금속 배선 및 커패시터 제조 방법.

청구항 19

제 13 항에 있어서,

상기 제 1 금속 배선 또는 상기 제 2 금속 배선은 금속 물질로 구리를 사용하여, PVD법 또는 CVD법으로 Cu 시드층을 형성한 후 Cu 전기 도금법으로 상기 트랜치 또는 상기 듀얼 다마신 패턴을 매립하여 형성하거나, 전기 도금법을 이용한 Cu 증착으로 Cu 시드층을 형성한 후 무전해 또는 전기 도금법으로 상기 트랜치 또는 상기 듀얼 다마신 패턴을 매립하거나, 상기의 매립 방법을 혼합한 방법으로 상기 트랜치 또는 상기 듀얼 다마신 패턴을 매립하여 형성하는 것을 특징으로 하는 반도체 소자의 금속 배선 및 커패시터 제조 방법.

청구항 20

제 13 항에 있어서,

상기 하드 마스크는 불소 함유 가스를 사용하여 플라즈마 건식 식각 공정으로 제거하는 것을 특징으로 하는 반도체 소자의 금속 배선 및 커패시터 제조 방법.

청구항 21

제 13 항에 있어서,

상기 제 2 절연막은 SiO₂, FSG, SiOC, SiOH, SiOCH 성분으로 형성된 경우에는 HF를 포함한 용액을 사용하여 제거하고, 폴리머 계층의 저유전율 절연막으로 형성된 경우에는 O₂ 플라즈마를 사용하여 제거하는 것을 특징으로 하는 반도체 소자의 금속 배선 및 커패시터 제조 방법.

청구항 22

제 13 항에 있어서,

상기 제 1 금속 배선 또는 금속 물질은 식각제로는 HCl 또는 H_2SO_4 등의 산 용액을 사용하여 제거하는 것을 특징으로 하는 반도체 소자의 금속 배선 및 커패시터 제조 방법.

청구항 23

제 13 항에 있어서,

상기 하부 전극 또는 상기 상부 전극은 CVD법, PVD법 또는 ALD법으로 Pt, Ru, Ir 또는 W를 증착하여 형성하는 것을 특징으로 하는 반도체 소자의 금속 배선 및 커패시터 제조 방법.

청구항 24

제 13 항에 있어서,

상기 하부 전극을 형성하기 전에 상기 층간 절연막 상에 접착층으로 TiN, TiAlN 또는 TiSiN 등의 글루레이어를 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 금속 배선 및 커패시터 제조 방법.

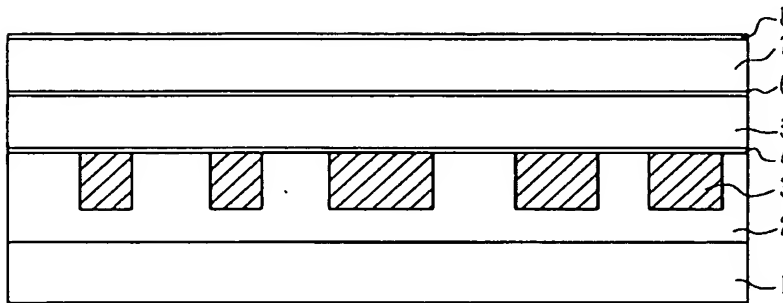
청구항 25

제 13 항에 있어서,

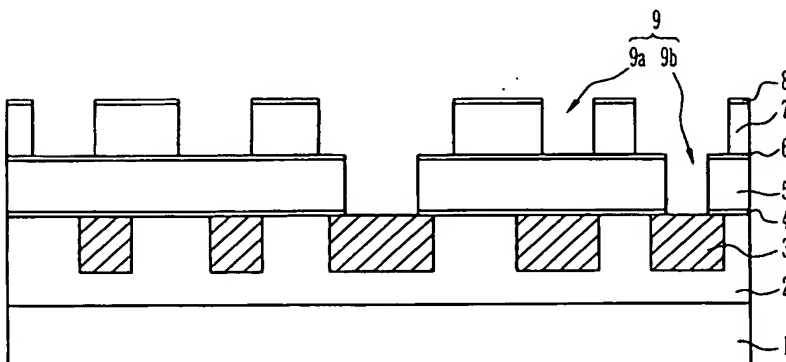
상기 유전체막은 CVD법, PVD법 또는 ALD법으로 Ta 산화막, Ba-Sr-Ti 산화물, Zr 산화물, Hf 산화물, Pb-Zn-Ti 산화물, Sr-Bi-Ta 산화물을 증착하여 형성하는 것을 특징으로 하는 반도체 소자의 금속 배선 및 커패시터 제조 방법.

도면

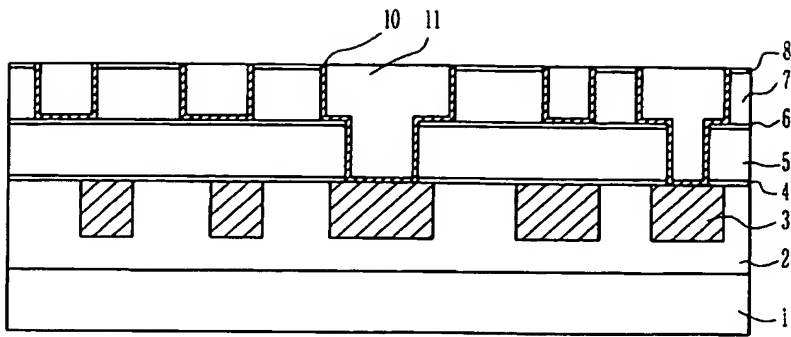
도면 1a



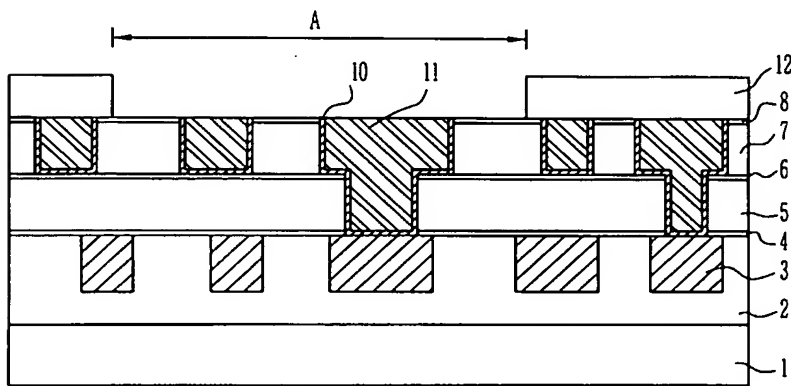
도면 1b



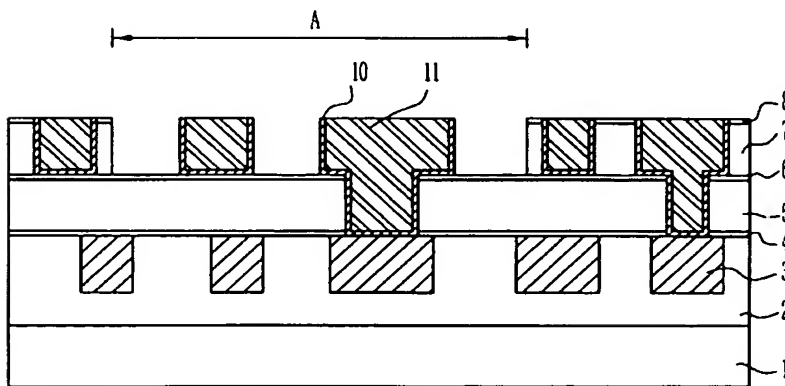
도면 1c



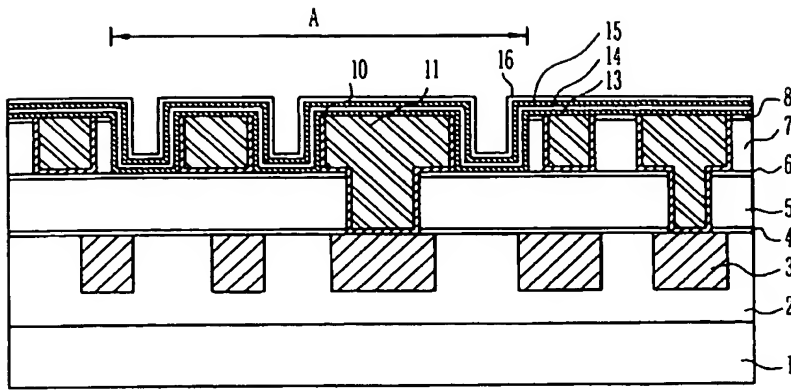
도면 1d



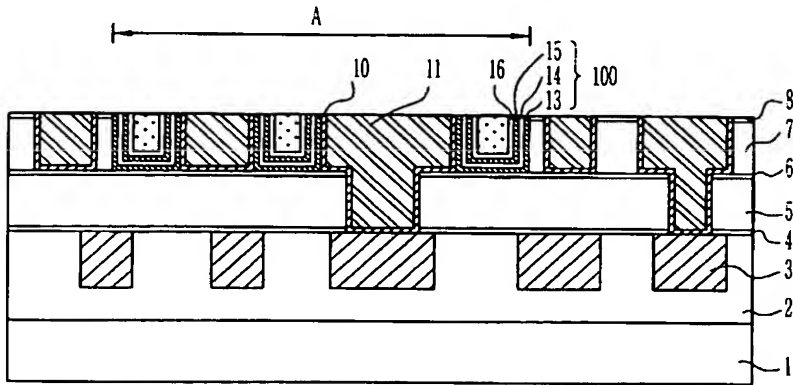
도면 1e



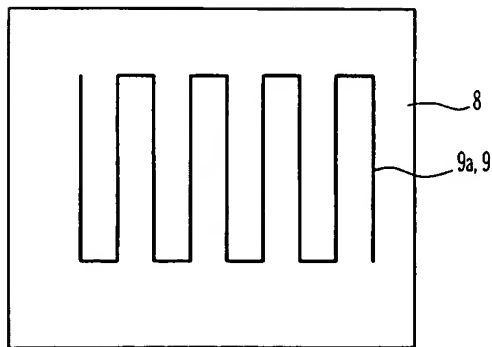
도면1f



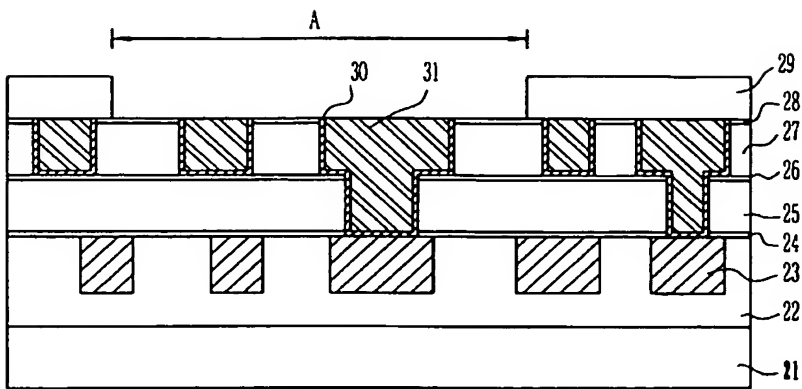
도면1g



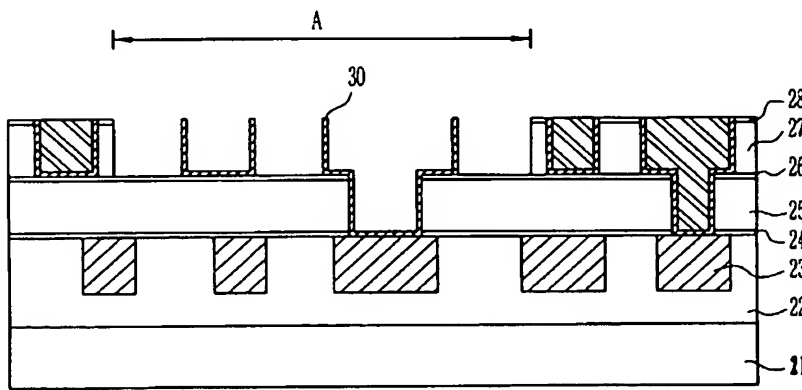
도면2



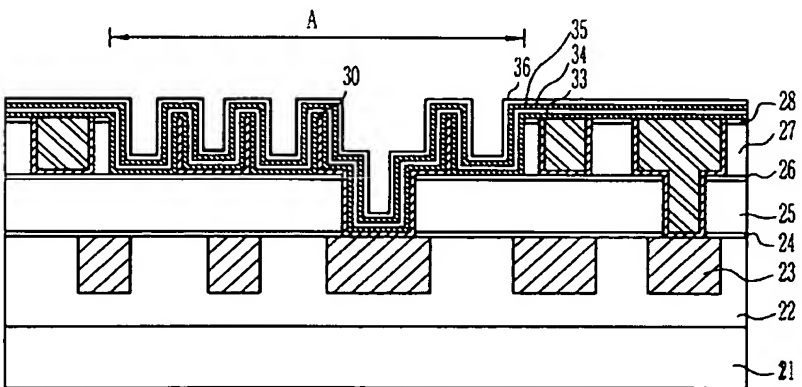
도면3a



도면3b



도면3c



도면3d

